

Published Serial No. 489418

Title **Semiconductor device manufacturing method**

Patent type B

Date of Grant 2002/6/1

Application Number 090104900

Filing Date 2001/3/2

IPC H01L21/44

Inventor **YAMASAKI, HIDEAKI(JP)**
KAWANO, YUMIKO(JP)Priority Country Application Number Priority Date
JP20000057125 2000/03/02Applicant Name Country Individual/Company
TOKYO ELECTRON LTD. JP Company

Abstract In a semiconductor device manufacturing method, an interlevel insulating film is formed on a silicon substrate. A trench is formed in the interlevel insulating film. A lower underlying film made of a tungsten-based material is formed by thermal chemical vapor deposition to cover a bottom surface and side surface of the trench. An upper underlying film made of a tungsten-based material is formed by thermal chemical vapor deposition on an entire region on the lower underlying film. A copper film made of copper fills the trench. The upper underlying film is formed in accordance with thermal chemical vapor deposition by supplying a tungsten source gas and the other source gas such that the other source gas is supplied in an amount larger than that of the tungsten source gas. The lower underlying film is formed in accordance with thermal chemical vapor deposition by increasing a content of the tungsten source gas to be larger than to that of the other source gas in formation of the lower underlying film.

公告本

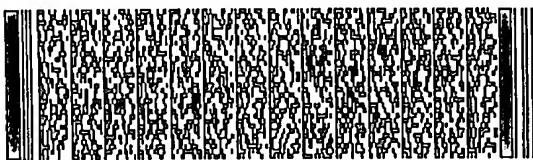
申請日期:	80.3.2	案號:	P0104P00
類別:	H01L 21/44		

(以上各欄由本局填註)

發明專利說明書

489418

一、 發明名稱	中文	半導體裝置製造方法
	英文	SEMICONDUCTOR DEVICE MANUFACTURING METHOD
二、 發明人	姓名 (中文)	1. 山崎 英亮 2. 河野 有美子
	姓名 (英文)	1. HIDEAKI YAMASAKI 2. YUMIKO KAWANO
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國山梨縣韮崎市穗坂町三澤650東京威力科創股份有限公司內 2. 日本國山梨縣韮崎市穗坂町三澤650東京威力科創股份有限公司內
三、 申請人	姓名 (名稱) (中文)	1. 日商東京威力科創股份有限公司
	姓名 (名稱) (英文)	1. TOKYO ELECTRON LIMITED
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區赤坂五丁目3番6號
	代表人 姓名 (中文)	1. 東 哲郎
	代表人 姓名 (英文)	1. TETSURO HIGASHI



本案已向

國(地區)申請專利

日本 JP

申請日期

2000/03/02 特願2000-057125

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



四、中文發明摘要 (發明之名稱：半導體裝置製造方法)

本發明揭示一種半導體裝置製造方法，用以在矽基材上形成內層(interlevel)隔離膜。在內層隔離膜中會形成渠溝。藉由熱化學氣相沉積(thermal chemical vapor deposition)形成以鎢為主之材料所製成的下層基礎膜，以涵蓋渠溝的底端表面及側邊表面。在下層基礎膜的整個區域上，藉由熱化學氣相沉積形成以鎢為主之材料所製成的上層基礎膜。以銅為材料所製成的銅膜會填滿該渠溝。上層基礎膜係按照熱化學氣相沉積所形成，其方式是供應鎢來源氣體及其他來源氣體，並且所供應之其他來源氣體總量大於鎢來源氣體總量。下層基礎膜係按照熱化學氣相沉積所形成，其方式是在形成下層基礎膜的過程中，遞增鎢來源氣體的含量，使其大於其他來源氣體的含量。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE MANUFACTURING METHOD)

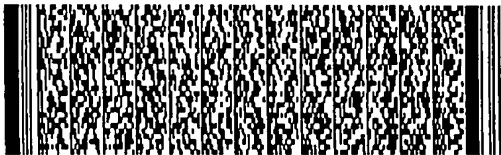
In a semiconductor device manufacturing method, an interlevel insulating film is formed on a silicon substrate. A trench is formed in the interlevel insulating film. A lower underlying film made of a tungsten-based material is formed by thermal chemical vapor deposition to cover a bottom surface and side surface of the trench. An upper underlying film made of a tungsten-based material is formed by thermal chemical vapor deposition on an entire region on the lower



四、中文發明摘要 (發明之名稱：半導體裝置製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE MANUFACTURING METHOD)

underlying film. A copper film made of copper fills the trench. The upper underlying film is formed in accordance with thermal chemical vapor deposition by supplying a tungsten source gas and the other source gas such that the other source gas is supplied in an amount larger than that of the tungsten source gas, The lower underlying film is formed in accordance with thermal chemical vapor deposition by increasing a content of the tungsten source gas to be larger than to that of



四、中文發明摘要 (發明之名稱：半導體裝置製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE MANUFACTURING METHOD)

the other source gas in formation of the lower
underlying film.



五、發明說明 (1)

發明背景

本發明通常與一種半導體裝置製造方法有關，尤其，本發明與一種使用以鎢為主之材料來形成銅互接基礎膜的半導體裝置製造方法有關。

為了實現高度集成且高速的半導體積體電路，已提出各種改良建議。隨著互接寬度及互接間隔遞減，促使互接延遲對電路效能造成負面影響，並且互接會造成電遷移，進而導致嚴重降低可靠度。互接電阻會導致因互接而造成某種信號延遲。

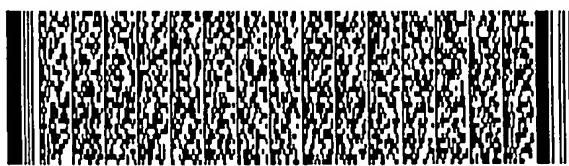
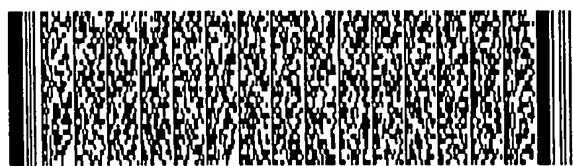
在以高密度集成的互接之間的互連電容會造成某種信號延遲。為了降低會導致信號延遲的互接電容，不僅橫向方向的互接必須經過微刻圖案處理，而且厚度方向的互接也必須經過微刻圖案處理。因此，當抑制互接電容所導致的信號延遲時，通過互接流過的電流會遞增，進而容易導致電遷移。

為了解決此問題，具有較低電阻的銅已取代鋁，作為形成互接的材料。

當使用銅作為互接材料時會在氧化矽中擴散，而對電晶體元件造成負面影響。再者，銅互接的黏著特性不佳，因而不易黏著在隔離膜上。

基於此原因，當使用銅作為互接材料時，通常會使用基礎膜，以防止銅擴散，並改良互接與隔離膜(內層隔離膜)之間的黏著特性。

將參考圖6A到6D來詳細說明一種使用銅的傳統互接結構



五、發明說明 (2)

形成方法。在此情況下，將說明根據所謂之刻圖案的一種銅互接形成方法。

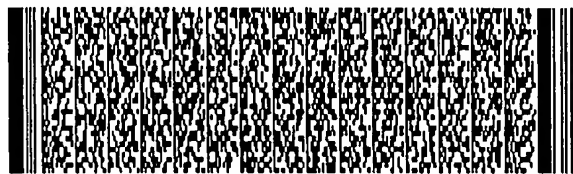
首先，如圖6A所示，會具有諸如金屬氧化物半導體(MOS)電晶體(圖中未顯示)之類元件的矽基材901上形成內層隔離膜902，並在內層隔離膜902之預先決定部份上形成渠溝903。

如圖6B所示，在包含渠溝903之底端及側邊表面的在內層隔離膜902上形成基礎膜904，用來防止前文所說明的銅擴散等等。

在基礎膜904上形成同以填滿渠溝903，並形成涵蓋基礎膜904整個表面的膜，藉此形成金屬層905，如圖6C所示。銅膜形成係藉由(例如)電鍍來執行。

接著，藉由(例如)化學機械研磨法來去除位於內層隔離膜902上之在渠溝903以上的金屬層905及基礎膜904，以便在渠溝903的側邊及底端表面上形成基礎膜904a，並且形成穿過基礎膜904a的銅互接905a，如圖6D所示。

基於下列的原因，而使氮化鎢被視為用來形成基礎層的最佳材料。三維表面上必須形成具有渠溝等等及良好階梯覆蓋度的基礎膜。在上面的情況中，在渠溝底端及側邊表面中所形成之基礎膜的厚度都必須儘可能一致。因此，能夠藉由化學氣相沉積(chemical vapor deposition; CVD)所形成之提供良好階梯覆蓋度的材料適合用來形成基礎膜。從前面的觀點，由於上文所述的氮化鎢能夠藉由CVD形成並且具有抑制銅擴散的良好障壁特性，因此具備作為



五、發明說明 (3)

基礎膜材料的吸引力。

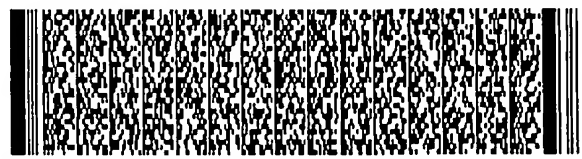
如上文所述，雖然氮化鎢具有良好的階梯覆蓋度及良好的銅擴散抑制效能(障壁特性)，但是，氮化鎢黏著特性不佳，因而不易黏著在作為內層隔離膜使用的隔離膜上。

發明概述

因此，本發明的主要目的是提供半導體裝置製造方法，當將銅互接材料放置在穿過基礎膜的渠溝上時，本發明的半導體裝置製造方法能夠改良銅互接材料與內層隔離膜之間的黏著特性，並且能夠維持以鎢為主之材料的良好階梯覆蓋度及障壁特性。

為了達成上述的目的，根據本發明，本發明提供一種半導體裝置製造方法，該半導體裝置製造方法包括下列步驟：在一半導體基材上形成一內層隔離膜；在該內層隔離膜中形成一渠溝；藉由熱化學氣相沉積形成以鎢為主之材料所製成的一第一薄膜，以涵蓋該渠溝的底端表面及側邊表面；在該第一薄膜的整個區域上，藉由熱化學氣相沉積形成以鎢為主之材料所製成的一第二薄膜；以及，在該渠溝中填滿由銅所構成的互接材料，其中該第一薄膜係按照熱化學氣相沉積所形成，其方式是供應鎢來源氣體及其他來源氣體，並且所供應之其他來源氣體總量大於鎢來源氣體總量；以及，該第二薄膜係按照熱化學氣相沉積所形成，其方式是在形成該第一薄膜的過程中，遞增鎢來源氣體的含量，使其大於其他來源氣體的含量。

圖式簡單描述



五、發明說明 (4)

圖1A到1E顯示根據本發明一項具體實施例之半導體裝置製造方法之步驟的斷面圖；

圖2A到2E顯示根據本發明另一項具體實施例之半導體裝置製造方法之步驟的斷面圖；

圖3A到3E顯示根據本發明還有另一項具體實施例之半導體裝置製造方法之步驟的斷面圖；

圖4A到4E顯示根據本發明還有另一項具體實施例之半導體裝置製造方法之步驟的斷面圖；

圖5顯示當使用 WF_6 作為以鎢為主之來源氣體及使用 NH_3 作為其他來源氣體時之階梯覆蓋度特性的圖式；以及

圖6A到6D顯示傳統半導體裝置製造方法之一部份的圖式。

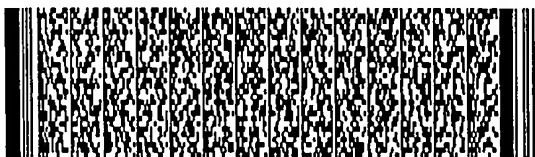
較佳具體實施例詳細說明

本發明將藉由其具體實施例來進行說明。

(第一項具體實施例)

圖1A到1E顯示本發明的第一項具體實施例。如圖1A所示，在氧化矽基材101上形成以氧化矽為材料所製成的內層隔離膜102，並且在內層隔離膜102中形成渠溝103。渠溝103不會延伸到氧化矽基材101。雖然圖中未顯示，但是在內層隔離膜102下面之氧化矽基材101的其他區域中已形成諸如電晶體（例如，金屬氧化物半導體場效電晶體（MOSFET））及二極體之類的元件。

如圖1B所示，在包含渠溝103之底端及側邊表面之內層隔離膜102的上層表面上形成由氮化鎢膜所組成的下層基

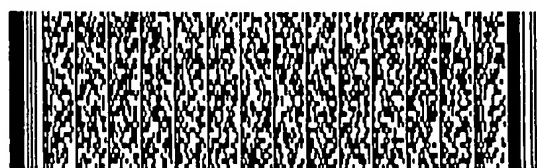


五、發明說明 (5)

礎膜(第一薄膜)104，其厚度大約是5 nm。下層基礎膜104係藉由熱CVD(Thermal Chemical Vapor Deposition；熱化學氣相沉積)所形成。使用六氟化鎢作為鎢來源氣體，而氮係用來作為氮來源氣體。氮氣體(氮來源氣體)的供應量大部份會設定為等於或大於六氟化鎢(鎢來源氣體)供應量的十倍，以便形成下層基礎膜104。結果，形成具有絕佳結晶度的下層基礎膜104，以獲得與內層隔離膜102之間的良好黏著特性。如上文所述，形成具有絕佳結晶度的下層基礎膜104時，多少可能會降低其階梯覆蓋度。與具有絕佳階梯覆蓋度的上層基礎膜相比，如果所形成下層基礎膜104不會極厚，則不會造成階梯覆蓋度方面的問題。

接著，如圖1C所示，藉由熱CVD，在下層基礎膜104上形成以氮化鎢為材料所製成的上層基礎膜(第二薄膜)105，其厚度大約是15 nm。

與形成下層基礎膜104的過程相比，在形成上層基礎膜105的過程中，會將氮來源氣體的供應量遞減到等於或小於鎢來源氣體供應量的四倍。結果，形成具有絕佳階梯覆蓋度的上層基礎膜105。當形成具有絕佳階梯覆蓋度的上層基礎膜105，可能會降低與隔離膜之間的黏著特性。但是，以氮化鎢為材料所製成的下層基礎膜104係位於上層基礎膜105的下面，而其之間的黏著特性極佳。在此方法中，當在整個已具有極佳黏著特性的下層基礎膜104上形成上層基礎膜105時，即使所形成的上層基礎膜105具有較



五、發明說明 (6)

佳的階梯覆蓋度，也不會發生諸如上層基礎膜105剝除之類的問題。

接著，如圖1D所示，藉由電鍍在上層基礎膜105上形成銅膜106，以便填滿渠溝103。具體而言，如圖1D所示，銅填滿渠溝103，以進一步形成銅膜106，並且係位於渠溝103上。在藉由電鍍來形成銅膜106之前，會預先在上層基礎膜105的上層表面上形成種子層(如波浪線506a所示)。

最後，如圖1E所示，藉由(例如)化學機械研磨法(CMP)來去除位於內層隔離膜102上之銅膜106、下層基礎膜104及上層基礎膜105的一部份，以暴露內層隔離膜102。連同位於渠溝103之底端及側邊表面上的下層基礎膜104及上層基礎膜105，在渠溝103上形成銅互接107，並穿過這些基礎膜104及105。

(第二項具體實施例)

將說明本發明的第二項具體實施例。

如圖2A所示，在氧化矽基材101上形成氧化矽內層隔離膜102，並且在氧化矽內層隔離膜102中形成渠溝103。如圖2B所示，藉由熱CVD，在包含渠溝103內側之內層隔離膜102上形成由氮化鎢膜所組成的下層基礎膜104。在形成下層基礎膜104的過程中，使用六氟化鎢作為鎢來源氣體，並使用氨作為氮來源氣體。此時，氮氣體的供應量大部份會設定為等於或大於六氟化鎢供應量的十倍，以便形成下層基礎膜104。結果，形成具有絕佳結晶度的下層基礎膜104，以獲得與內層隔離膜102之間的良好黏著特性。請注



五、發明說明 (7)

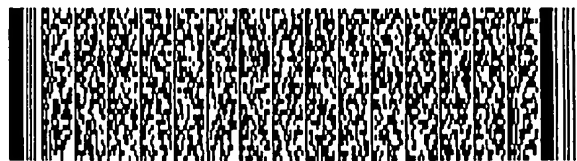
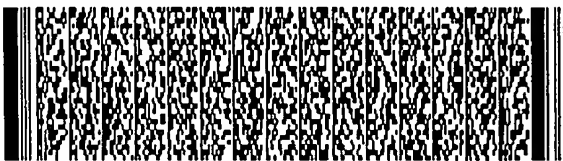
意，無法獲得良好的階梯覆蓋度。

接著，如圖2C所示，藉由熱CVD，在下層基礎膜104上形成以鎢為材料所製成的上層基礎膜305。之後，如圖2D所示，藉由電鍍在上層基礎膜305上形成銅膜106，以便填滿渠溝103。在第二項具體實施例中，由於以具有高傳導率之鎢為材料所製成之上層基礎膜305的上面表面已鍍上銅，所以可形成銅膜106，而不需要在上層基礎膜305上形成一種子層，這點與第一項具體實施例不同。

如圖2E所示，藉由(例如)化學機械研磨法(CMP)來部份去除位於內層隔離膜102上的銅膜106、下層基礎膜305及上層基礎膜104。連同位於渠溝103之底端及側邊表面上的下層基礎膜104及上層基礎膜305，在渠溝103上形成銅互接107，並穿過這些基礎膜104及305。

如上文所述，根據第二項具體實施例，基礎膜係由以氮化鎢為材料所製成的下層基礎膜與大體上以鎢為材料所製成的上層基礎膜所組成。因此，當在上層基礎膜的上面表面鍍上銅時，由於上層基礎膜具有低電阻，所以不需要預先形成種子層。

可用下列的方式來形成上層基礎膜，使其部份以氮化鎢為材料製成。在形成上層基礎膜的過程中，首先，於膜形成時間的期間內，遞增鎢來源氣體的含量，使得在接近最上面表面的鎢含量隨之增加。因此，上層基礎膜的最上面表面只包含鎢。以此方法所形成的上層基礎膜也可鍍上一層銅，而不需要形成種子層。



五、發明說明 (8)

(第三項具體實施例)

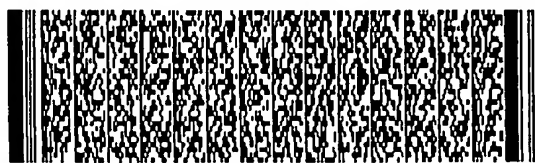
將說明本發明的第三項具體實施例。

如圖3A所示，在銅下層互接層501上形成以氧化矽為材料所製成的內層隔離膜502，並且在內層隔離膜502中形成渠溝503及通孔504。通孔504會延伸到下層互接層501上渠溝503所延伸的區域。

如圖3B所示，在包含通孔504及渠溝503內側之內層隔離膜502上形成由氮化鎢膜所組成的下層基礎膜505。氮化鎢膜係藉由熱CVD所形成。使用六氟化鎢作為鎢來源氣體，而氮係用來作為氮來源氣體。氮氣體(氮來源氣體)的供應量大部份會設定為等於或大於六氟化鎢(鎢來源氣體)供應量的十倍。因此，形成具有絕佳結晶度的下層基礎膜505，以獲得與內層隔離膜502之間的良好黏著特性。請注意，無法獲得良好的階梯覆蓋度。通孔504的開口區域比渠溝503的開口區域小，並且會遞減通孔504之開口區域中之來源氣體的供應量。因此，會在通孔504的底端具體形成薄形下層基礎膜505。

接著，如圖3C所示，在下層基礎膜505上形成上層基礎膜506。

與形成下層基礎膜505的過程相比，在形成上層基礎膜506的過程中，會將氮來源氣體的供應量遞減到等於或小於鎢來源氣體供應量的四倍。結果，形成具有絕佳階梯覆蓋度的上層基礎膜506。當形成具有絕佳階梯覆蓋度的上層基礎膜506，可能會降低與隔離膜之間的黏著特性。但



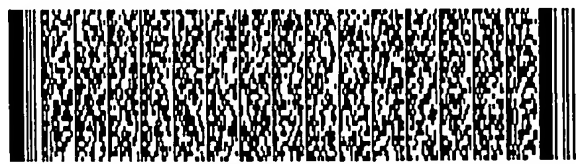
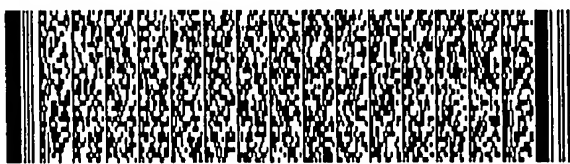
五、發明說明 (9)

是，以氮化鎢為材料所製成的下層基礎膜505係位於上層基礎膜506的下面，而其之間的黏著特性極佳。在此方法中，當在整個已具有極佳黏著特性的下層基礎膜505上形成上層基礎膜506時，即使所形成的上層基礎膜506具有較佳的階梯覆蓋度，也不會發生諸如上層基礎膜506剝除之類的問題。就形成下層基礎膜506而言，通孔504的開口區域比渠溝503的開口區域小，並且會遞減通孔504之開口區域中之來源氣體的供應量。因此，會在通孔504的底端具體形成薄形下層基礎膜506。

接著，如圖3D所示，藉由電鍍在上層基礎膜506上形成銅膜507，以便填滿渠溝503及通孔504。在藉由電鍍來形成銅膜507之前，會預先在上層基礎膜506的上層表面上形成種子層(如波浪線506a所示)。

最後，如圖3E所示，藉由(例如)化學機械研磨法(CMP)來部份去除位於內層隔離膜502上的銅膜507、上層基礎膜506及下層基礎膜505。在渠溝503中形成穿過基礎膜的銅互接508。通過填滿通孔504之以銅為材料所製成的填塞物，將互接508連接到下層互接層501。

如上文所述，根據第三項具體實施例，在渠溝503中形成穿過基礎層的互接508。在通孔504中還會形成穿過基礎層的填塞物，用以連接互接508與下層互接層501。在通孔504，填塞物穿過上層基礎膜506及下層基礎膜505連接到下層互接層501。如上文所述，由於位於通孔504底端的各別基礎膜都非常薄，所以，即使基礎膜係以氮化鎢為材料



五、發明說明 (10)

所製成，也不會增加下層互接層501與互接508間的電阻。
(第四項具體實施例)

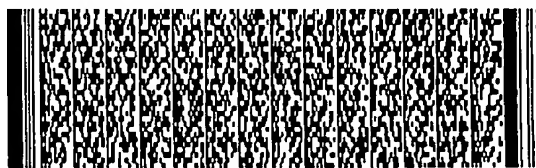
將說明本發明的第四項具體實施例。

如圖4A所示，在銅下層互接層701上形成以氧化矽為材料所製成的內層隔離膜702，並且在內層隔離膜702中形成渠溝703及通孔704。通孔704會延伸到下層互接層701上渠溝703所延伸的區域。

如圖4B所示，在包含通孔704及渠溝703內側之內層隔離膜702上形成由氮化鎢膜所組成的下層基礎膜705。氮化鎢膜係藉由熱CVD所形成。使用六氟化鎢作為鎢來源氣體，而氮係用來作為氮來源氣體。氮氣體的供應量大部份會設定為等於或大於六氟化鎢供應量的十倍。因此，形成具有絕佳結晶度的下層基礎膜705，以獲得與內層隔離膜702之間的良好黏著特性。請注意，無法獲得良好的階梯覆蓋度。通孔704的開口區域比渠溝703的開口區域小，並且會遞減通孔704之開口區域中之來源氣體的供應量。因此，會在通孔704的底端具體形成薄形下層基礎膜705。

接著，在下層基礎膜705上形成上層基礎膜706。

與形成下層基礎膜705的過程相比，在形成上層基礎膜706的過程中，會將氮來源氣體的供應量遞減到等於或小於鎢來源氣體供應量的四倍。結果，形成具有絕佳階梯覆蓋度的上層基礎膜706。就形成下層基礎膜706而言，通孔704的開口區域比渠溝703的開口區域小，並且會遞減通孔704之開口區域中之來源氣體的供應量。因此，會在通孔



五、發明說明 (11)

704 的底端具體形成薄形下層基礎膜706。

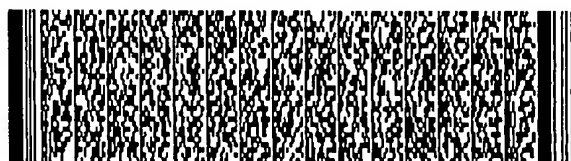
以與前面具體實施例相同的方法，藉由電鍍在上層基礎膜706上沈澱銅。在第四項具體實施例中，當溶解氮化鎢時會沈澱銅。當溶解氮化鎢來沈澱銅時，會溶解位於下層基礎膜705底端的薄型上層基礎膜706與下層基礎膜705，使基礎下層互接層701的表面暴露到通孔704的底端。與位於通孔704的底端相比，在渠溝703之底端暨側邊表面及通孔704之側邊表面上的基礎膜較厚。因此，位於這些區域上的上層基礎膜706仍然存在。

之後，開始沈澱銅，以填滿渠溝703及通孔704。結果，形成銅膜707如圖4D所示，。

最後，如圖4E所示，藉由(例如)化學機械研磨法(CMP)來部份去除位於內層隔離膜702上的銅膜707、上層基礎膜706及下層基礎膜705。在渠溝703中形成穿過基礎膜的銅互接708。通過填滿通孔704之以銅為材料所製成的填塞物，將互接708 連接到下層互接層701。

如上文所述，根據第四項具體實施例，在渠溝703中形成穿過基礎層的互接708。在通孔704中還會形成穿過基礎層的填塞物，用以連接互接708與下層互接層701。根據第四項具體實施例，會形成填滿通孔704的填塞物，使位於下面表面上的銅直接接觸到下層互接層701。因此，互接708 與上層互接層701之間的連接具有非常低的電阻。

在前文說明之具體實施例中所描述及常用的技術中，第一薄膜係按照熱化學氣相沉積所形成，其方式是供應以鎢



五、發明說明 (12)

為主的來源氣體及其他來源氣體，並且所供應之其他來源氣體含量大於以鎢為主之材料之來源氣體含量，以及，第二薄膜係按照熱化學氣相沉積所形成，其方式是在形成該第一薄膜的過程中，遞增以鎢為主之材料之來源氣體的含量，使其大於其他來源氣體的含量。

就此技術而言，階梯覆蓋度特性已經過研究觀察，其中使用 WF_6 作為以鎢為主之來源氣體及使用氨(NH_3)作為其他來源氣體。因而獲得如圖 5 所示的特性。

圖5顯示階梯覆蓋度特性。當 WF_6 對 NH_3 的流率比率 WF_6/NH_3 夠大(當左欄值較大時)，就可獲得極佳的階梯覆蓋度。因此，在本發明中，此技術被用來形成第二膜。

下列表格顯示第一薄膜與內層介面間的黏著特性。 WF_6 對 NH_3 的流率比率 WF_6/NH_3 非常小。

樣本	WF_6 對 NH_3 的流率比率 (WF_6/NH_3)	黏著特性	
		沈澱物	650°C 退火熱處理後
A	0.002	o	o
B	0.04	o	△
C	2	o	x

(備註) o: 極佳; △: 良好; 以及 x: 不良

在樣本A及B中，黏著特性良好。在樣本C中，雖然沈澱物黏著特性良好，但是在經過退火熱處理後，黏著特性極



五、發明說明 (13)

差。

如上文所述，根據本發明，一種半導體裝置製造方法包括下列步驟：在一半導體基材上形成一內層隔離膜；在該內層隔離膜中形成一渠溝；形成以鎢為主之材料所製成的一第一薄膜，以涵蓋該渠溝的底端表面及側邊表面；在該第一薄膜的整個區域上形成以鎢為主之材料所製成的一第二薄膜；以及，在該渠溝中形成以銅為主之材料所製成的互接材料，其方式是在整個第一及第二薄膜上形成銅。第一薄膜係按照熱化學氣相沉積所形成，其方式是供應以鎢為主之材料的來源氣體及其他來源氣體，並且所供應之其他來源氣體含量大於以鎢為主之材料之來源氣體含量。第二薄膜係按照熱化學氣相沉積所形成，其方式是在形成該第一薄膜的過程中，遞增以鎢來源氣體的含量，使其大於其他來源氣體的含量。

然後，所形成的第一薄膜具有極佳結晶度，而所形成的第二薄膜具有極佳階梯覆蓋度。形成具有絕佳結晶度之以鎢為主的材料，還能夠獲得與以隔離體為材料所製成之內層隔離膜之間的良好黏著特性。結果，因為已改良以鎢為主之材料所製成之基礎膜(用來形成銅互接結構)黏著特性，所以可獲得極佳的成品。



圖式簡單說明

六、申請專利範圍

1. 一種半導體裝置製造方法，其特徵在於，該方法包括下列步驟：

在半導體基材(101)上形成一內層隔離膜(102)；

在該內層隔離膜中形成一渠溝(103)；

藉由熱化學氣相沉積形成一以鎢為主之材料所製成的第一薄膜(104)，以涵蓋該渠溝的底端表面及側邊表面；

在該第一薄膜上的整個區域上，藉由熱化學氣相沉積形成以鎢為主之材料所製成的第二薄膜(105)；

在該渠溝中填滿一由銅所組成的互接材料(106)；

其中，該第一薄膜(104)係按照熱化學氣相沉積所形成，其方式是供應鎢來源氣體及其他來源氣體，並且所供應之其他來源氣體總量大於鎢來源氣體總量；以及

該第二薄膜(105)係按照熱化學氣相沉積所形成，其方式是在形成該第一薄膜的過程中，遞增鎢來源氣體的含量，使其大於其他來源氣體的含量。

2. 如申請專利範圍第1項之方法，其中用來形成該第一及第二薄膜(104, 105)的該以鎢為主之材料是氮化鎢。

3. 如申請專利範圍第1項之方法，其中

用來形成該第一薄膜(104)的該以鎢為主之材料是氮化鎢；以及

用來形成該第二薄膜(105)的該以鎢為主之材料是鎢。

4. 如申請專利範圍第1項之方法，其中

該方法進一步包括：預先在該內層隔離膜(102)下形成一下層互接層(501)；



六、申請專利範圍

在該內層隔離膜中形成該渠溝(103)的步驟包括：在該渠溝(103)的底端形成一通孔，以延伸到該下層互接層(501)；

形成該第一及第二薄膜(104, 105)的步驟包括：也會在該通孔(504)的側邊及底端表面上形成該第一及第二薄膜；以及

在該渠溝中填滿該銅互接材料(106)的步驟包括：也在該通孔(504)中填滿該銅互接材料，其方法與在該渠溝中填滿該銅互接材料一樣。

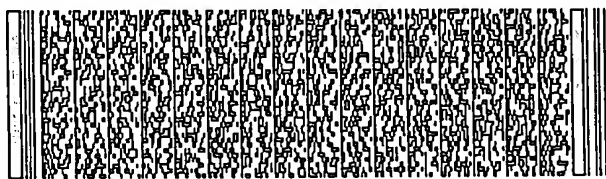
5. 如申請專利範圍第4項之方法，其中在該渠溝(103)及該通孔(504)中填滿該銅互接材料(106)的步驟係藉由電鍍方式執行。

6. 如申請專利範圍第5項之方法，其中藉由電鍍法將該銅互接材料(106)填滿該渠溝(103)及該通孔(504)之前，先在該第二薄膜的表面上形成一種子層(506a)。

7. 如申請專利範圍第5項之方法，其中在該渠溝(103)及該通孔(504)中填滿該銅互接材料(106)的步驟係藉由電鍍方式執行，並且是在已溶解以鎢為主之材料的條件下進行。

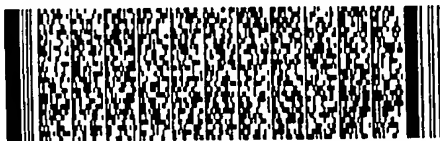
8. 如申請專利範圍第1項之方法，其中在該渠溝(103)中填滿該銅互接材料(106)的步驟係藉由電鍍方式執行。

9. 如申請專利範圍第8項之方法，其中藉由電鍍法將該銅互接材料(106)填滿該渠溝(103)之前，先在該第二薄膜的表面上形成一種子層(506a)。



六、申請專利範圍

10. 如申請專利範圍第8項之方法，其中在該渠溝(103)中填滿該銅互接材料(106)的步驟係藉由電鍍方式執行，並且是在已溶解以鎢為主之材料的條件下進行。



圖式

圖 1A

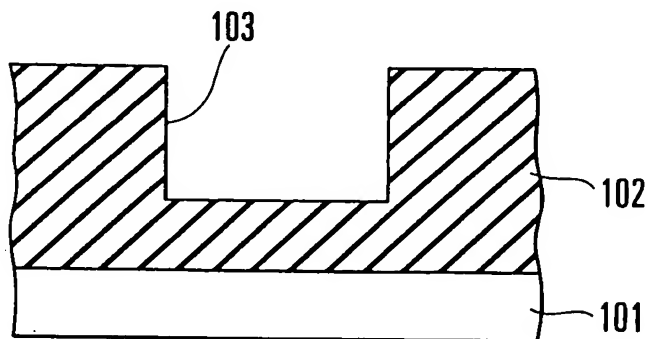


圖 1B

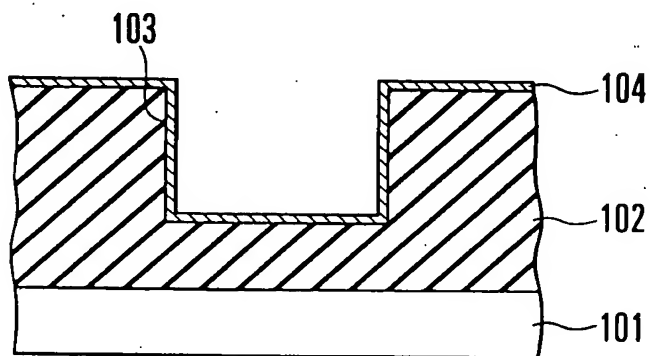


圖 1C

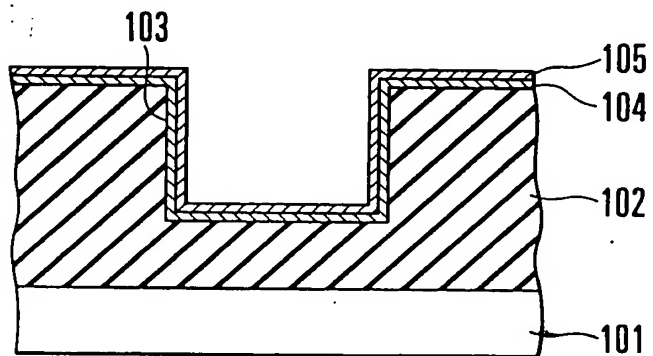
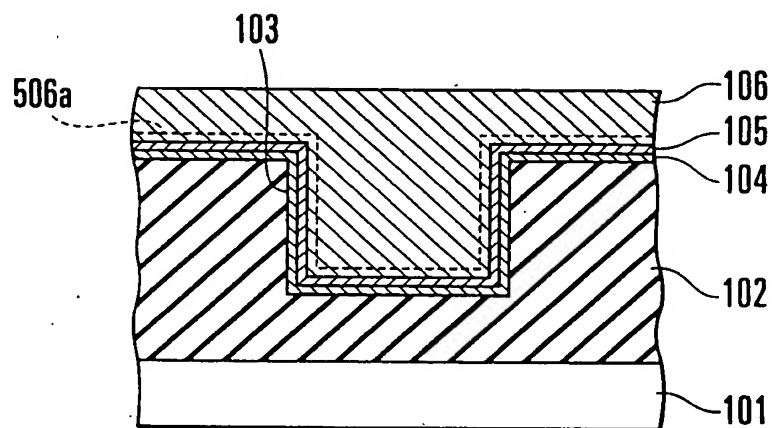


圖 1D



圖式

圖 1E

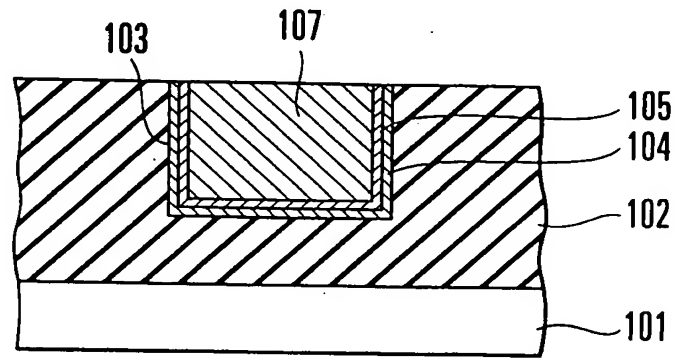


圖 2A

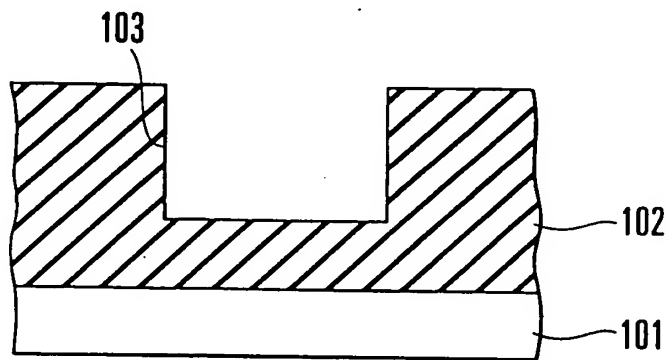


圖 2B

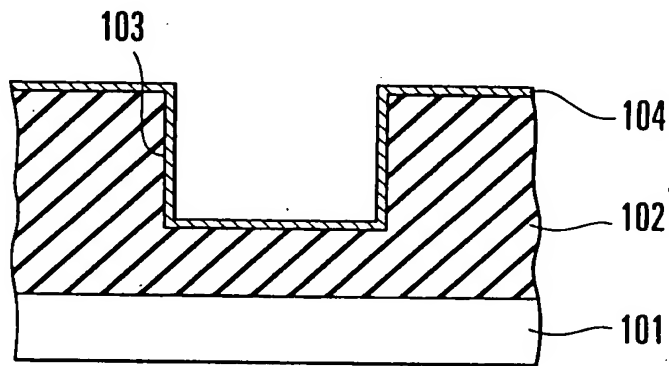
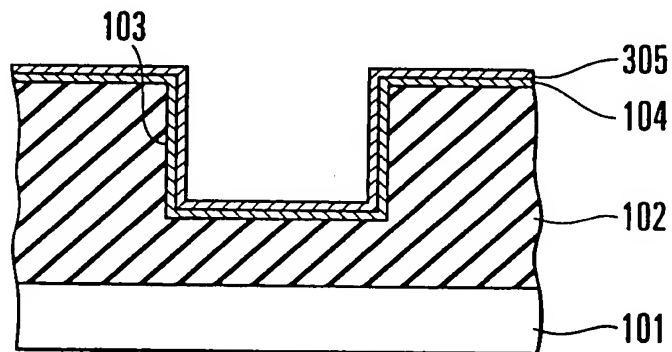


圖 2C



圖式

圖 2D

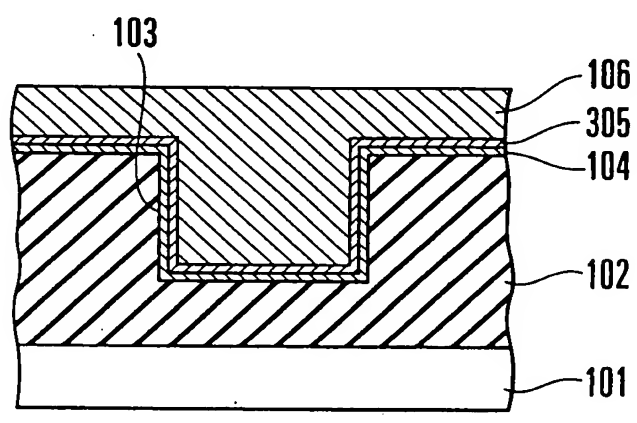


圖 2E

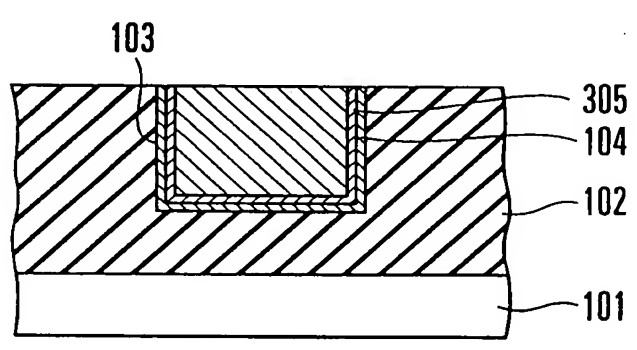


圖 3A

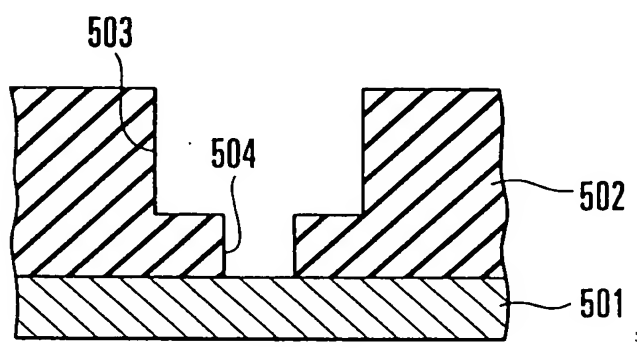
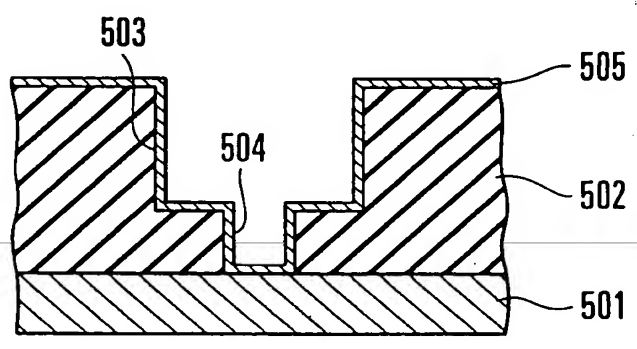


圖 3B



圖式

圖 3C

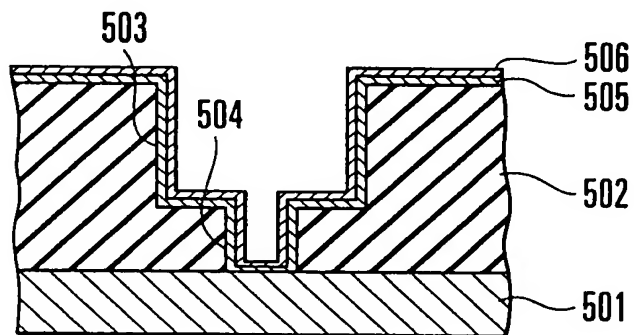


圖 3D

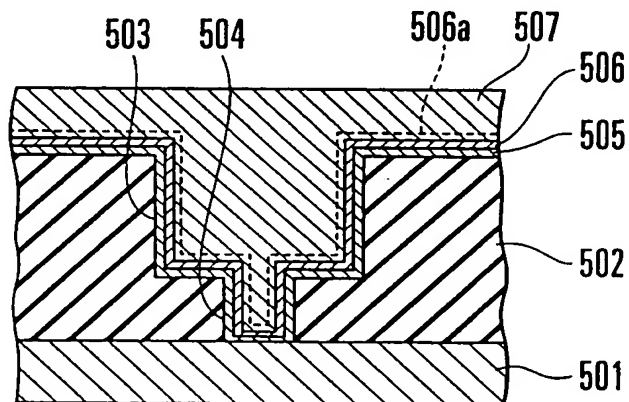


圖 3E

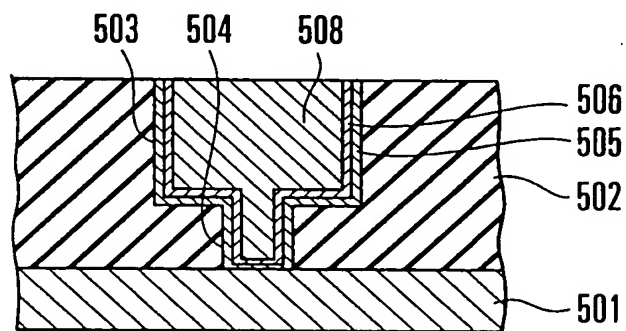
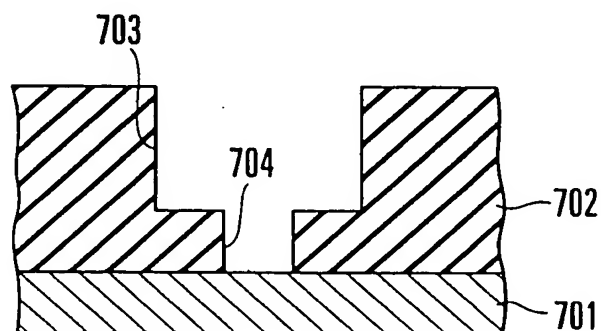


圖 4A



圖式

圖 4B

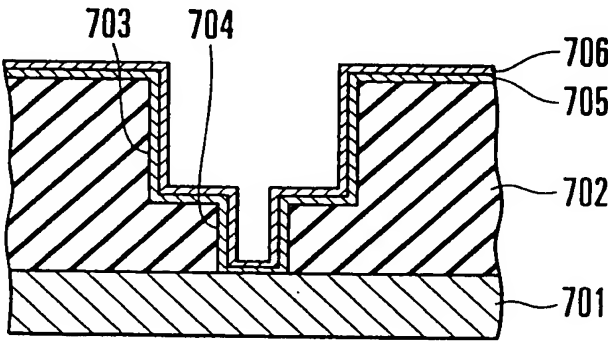


圖 4C

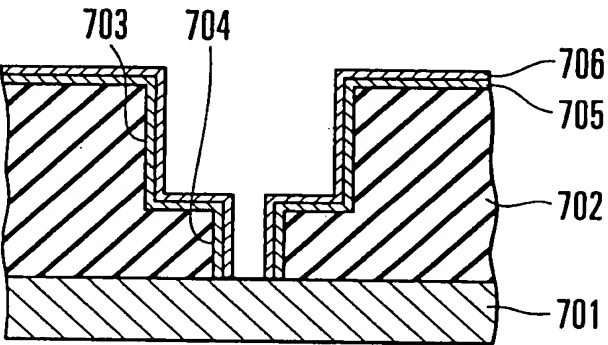


圖 4D

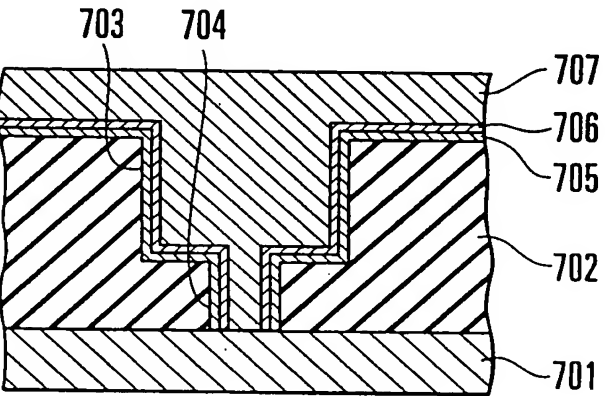
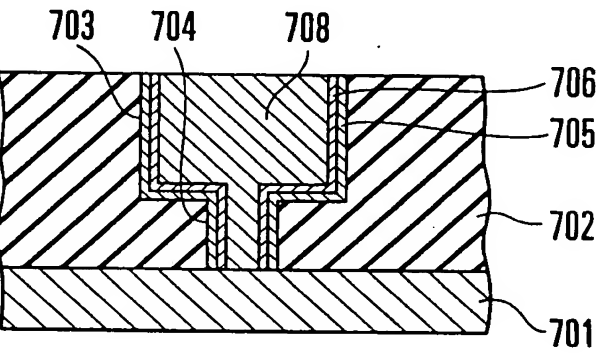


圖 4E



圖式

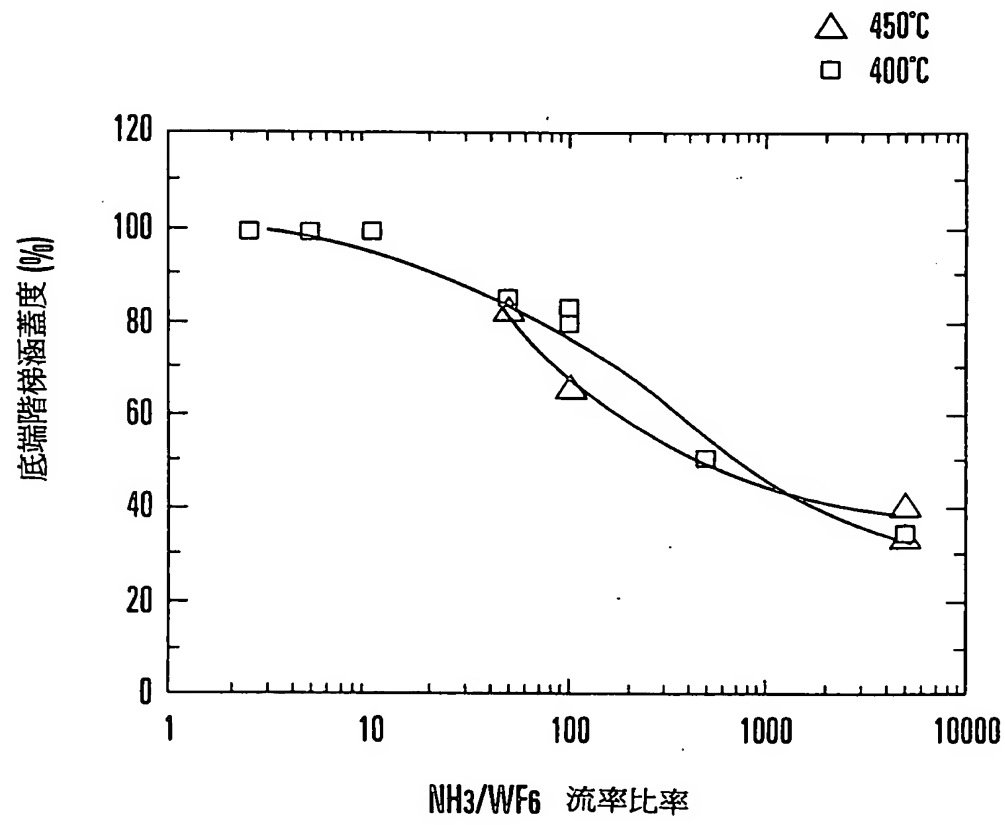


圖 5

圖式

圖 6A

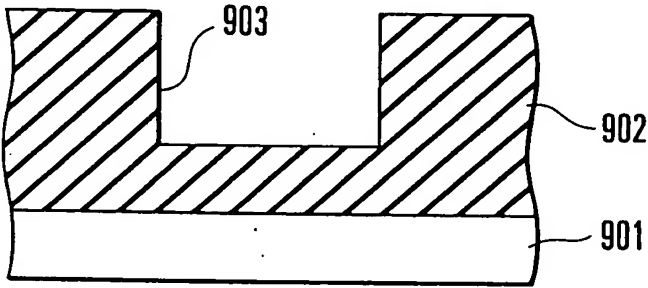


圖 6B

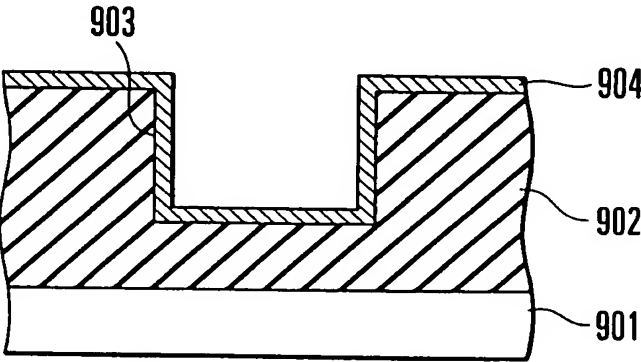


圖 6C

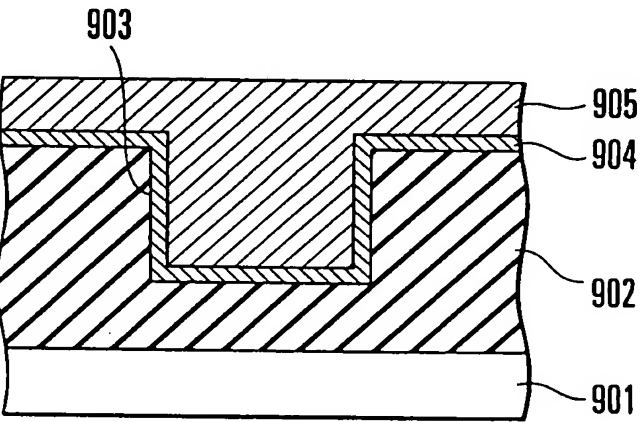


圖 6D

